

DIALOG(R)File 352:Derwent WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

008577738 **Image available**

WPI Acc No: 1991-081770/199112

XRAM Acc No: C91-034755

XRPX Acc No: N91-063188

MISFET mfr. with lightly doped drain structure device - by forming double-layer impurity region on each side of gate, first, low-density layer being formed from impurity gas adsorption layer

Patent Assignee: SEIKO INSTR INC (DASE)

Inventor: AOKI K; KAMIYA M; SAITO N

Number of Countries: 007 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 417456	A	19910320	EP 90114789	A	19900801	199112 B
JP 3218638	A	19910926	JP 90213002	A	19901009	199145
US 5851909	A	19981222	US 90565221	A	19900810	199907 N
			US 92821318	A	19920113	
			US 936152	A	19930119	

Priority Applications (No Type Date): JP 89277618 A 19891025; JP 89209290 A 19890811; JP 89213183 A 19890818; JP 89231278 A 19890906; JP 90213002 A 19901009; US 936152 A 19930119

Cited Patents: 3.Jnl.Ref; A3...9127; EP 322921; NoSR.Pub

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
EP 417456	A	17		

Designated States (Regional): DE FR GB IT NL

US 5851909	A	H01L-021/225	Cont of application US 90565221
			Cont of application US 92821318

Abstract (Basic): EP 417456 A

Semiconductor device is mfd. by: forming gate insulating film and gate electrode on a substrate; exposing active faces on each side of the gate; applying to the active faces a gas contg. an impurity of opposite type to the substrate to form an impurity adsorption layer; diffusing impurity from the layer to form a first impurity layer of low density on each side of the gate; and forming a second impurity layer of higher density contiguous to the first layer.

USE/ADVANTAGE - In formation of a MISFET with a lightly doped drain or double doped drain structure. (claimed). Impurity doping method avoids damaging the substrate and allows devices to be formed with ultra-shallow source and drain regions and having fast operation and small size. (17pp Dwg.No.6/10)

Title Terms: MISFET; MANUFACTURE; LIGHT; DOPE; DRAIN; STRUCTURE; DEVICE;

FORMING; DOUBLE; LAYER; IMPURE; REGION; SIDE; GATE; FIRST; LOW; DENSITY; LAYER; FORMING; IMPURE; GAS; ADSORB; LAYER

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/225

International Patent Class (Additional): H01L-021/22

File Segment: CPI; EPI

⑫ 公開特許公報(A)

平3-218638

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)9月26日

H 01 L 21/336

8422-5F
8422-5F

H 01 L 29/78

3 0 1 P
3 0 1 L※

審査請求 未請求 請求項の数 12 (全11頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-213002

⑰ 出 願 平2(1990)8月9日

優先権主張 ⑱ 平1(1989)8月11日 ⑲ 日本(JP) ⑳ 特願 平1-209290

⑳ 発 明 者 青 木 健 二 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内

㉑ 発 明 者 神 谷 昌 明 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内

㉒ 発 明 者 斎 藤 直 人 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内

㉓ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号
会社

㉔ 代 理 人 弁理士 林 敬之助
最終頁に続く

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 第一導電型の半導体領域の表面にゲート絶縁膜、及びこのゲート絶縁膜上にゲート電極を形成する第一工程と、

前記ゲート電極によって平面的に分離された一対の半導体領域表面の活性面を露出する第二工程と、

該活性面に対して第二導電型の不純物成分を有する気体を供給し、不純物成分元素あるいは少なくとも不純物成分元素を含む化合物を吸着し、この不純物吸着層を拡散源として第一導電型の半導体領域に不純物を導入し、低濃度の第1の不純物層をゲート電極によって分離された一対の半導体領域表面下に形成する第三工程と、

第1の不純物層の不純物濃度より濃度の高い第2の不純物層を前記第1の不純物層に隣接して形

成する第四工程とから成る半導体装置の製造方法。

(2) 第四工程が、第二導電型の不純物をイオン注入により導入して、第2の不純物層を形成する工程である請求項1に記載の半導体装置の製造方法。

(3) 第四工程が、第二導電型の不純物成分を有する気体を供給して不純物成分元素あるいは少なくとも不純物成分元素を含む化合物を吸着し、この不純物吸着層を拡散源として第1の不純物層に不純物を導入し、高濃度の第2の不純物層を形成する工程である請求項1に記載の半導体装置の製造方法。

(4) 第三工程と第四工程の間に、ゲート電極の側壁にスペーサを形成する工程を有する請求項1に記載の半導体装置の製造方法。

(5) 第三工程は、活性面に対して半導体成分を有する気体及び第二導電型の不純物成分を有する気体を供給して半導体成分及び不純物成分元素を含む吸着層を形成し、この吸着層を拡散源として第一導電型の半導体領域に不純物を導入し、低濃度の第1の不純物層を形成する工程である請求項1

に記載の半導体装置の製造方法。

- (6) 第三工程は、第二導電型の不純物成分を有する不純物層と半導体エピタキシャル層とから成る不純物吸着層を少なくとも1層以上有する吸着層を形成し、この吸着層を拡散源として第一導電型の半導体領域に不純物を導入し、低濃度の第1の不純物層を形成する工程である請求項1に記載の半導体装置の製造方法。

- (7) 第一導電型の半導体領域の表面にゲート絶縁膜、及びこのゲート絶縁膜上にゲート電極を形成する第一工程と、

前記ゲート電極によって平面的に分離された半導体領域に不純物をイオン注入により導入して第1の不純物層を形成する第二工程と、

イオン注入された半導体領域表面の活性面を露出する第三工程と、

該活性面に対して第二導電型の不純物成分を有する気体を供給して不純物成分元素あるいは少なくとも不純物成分元素を含む化合物を吸着し、この不純物吸着層を拡散源として第1の不純物層に

不純物を導入し、高濃度の第2の不純物層からなるソース領域及びドレイン領域を形成する第四工程とから成る半導体装置の製造方法。

- (8) 第三工程と第四工程の間に、ゲート電極の側壁にスペーサを形成する工程を有する請求項7に記載の半導体装置の製造方法。

- (9) 第四工程は、活性面に対して半導体成分を有する気体及び第二導電型の不純物成分を有する気体を供給して半導体成分及び不純物成分元素を含む吸着層を形成し、この吸着層を拡散源として第1の不純物層に不純物を導入し、高濃度の第2の不純物層を形成する工程である請求項7に記載の半導体装置の製造方法。

- (10) 第四工程は、第二導電型の不純物成分を有する不純物層と半導体エピタキシャル層とから成る不純物吸着層を少なくとも1層以上有する吸着層を形成し、この吸着層を拡散源として第1の不純物層に不純物を導入し、高濃度の第2の不純物層を形成する工程である請求項7に記載の半導体装置の製造方法。

- (11) 第四工程は、LDD構造を形成する工程である請求項7に記載の半導体装置の製造方法。

- (12) 第四工程は、DDD構造を形成する工程である請求項7に記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、コンピュータなどの電子機器に多く用いられているMISFET (Metal-Insulator-Semiconductor Field-Effect-Transistor)の半導体装置の製造方法に関する。

〔発明の概要〕

この発明は、LDD (Lightly Doped Drain) 構造又はDDD (Double Doped Drain) 構造を有するMISFETのソース及びドレイン領域の形成工程において、ソース及びドレイン領域となる不純物領域を不純物吸着法により形成することにより、非常に浅い不純物領域が得られ、その結果、信号伝達時間の短く、かつ非常に微細な半導体装置を得ることを可能とする半導体装置の製造方法である。

〔従来の技術〕

従来のLDD構造において、P型MISFETを例にとると、第9図に示すように、N型シリコン基板101の表面にゲート酸化膜102及びゲート電極103を形成後、ゲート電極103をマスクとしてP型不純物であるボロン113をイオン注入によりN型シリコン基板101の表面近傍に打ち込み、薄いP⁻型のソース領域105及びドレイン領域106を形成し、さらにゲート電極103の側壁に沿ってスペーサ104を形成後、ゲート電極103及びスペーサ104をマスクとして再びP型不純物であるボロンをイオン注入により打ち込み、濃いP⁺型のソース領域107及びドレイン領域108を形成し、LDD構造のMISFETを作る製造方法が知られている。このイオン注入法の利点としては、不純物導入量を正確に制御できること、あるいは絶縁膜を介して不純物をドーピングできることがある。

又、従来のDDD構造においては、P型MISFETを例にとると、第10図に示すように、N型

シリコン基板201の表面にゲート絶縁膜202及びゲート電極203を形成後、ゲート電極203をマスクとしてP型不純物であるボロン213をイオン注入によりN型シリコン基板201の表面近傍に打ち込み、薄いP⁻型のソース領域205及びドレイン領域206を形成し、さらにゲート電極203をマスクとして再びP型不純物であるボロン215をイオン注入により打ち込み、濃いP⁻型のソース領域207及びドレイン領域208を形成する方法が知られている。

〔発明が解決しようとする課題〕

しかし、上述した従来の半導体装置の製造方法は、ソース領域及びドレイン領域の形成をイオン注入で行っているために、

- (1) 不純物分布がイオン注入のイオンの加速エネルギーに応じてガウス分布状に広がってしまい薄い不純物領域を形成できない。
- (2) 帯電したイオンを注入するため、ゲート絶縁膜を損傷する。

本発明は、以上のような欠点を解決するため、LDD構造を有するMISFETの薄い不純物濃度のソース領域及びドレイン領域とを不純物吸着法により形成し、非常に浅くてかつ均一性のよい不純物領域を得ることを目的としている。さらには、LDD構造又はDDD構造を有するMISFETの濃い不純物濃度のソース領域及びドレイン領域とを、不純物吸着法を利用して、非常に浅くて極めて高濃度に形成することも目的としている。

〔課題を解決するための手段〕

本発明によれば、第一導電型の半導体領域の表面にゲート絶縁膜、及びこのゲート絶縁膜上にゲート電極を形成する第一工程が行なわれた後、前記ゲート電極によって平面的に分離された一対の半導体領域表面の活性面を露出する第二工程が行なわれる。続いて、該活性面に対して第二導電型の不純物成分を有する気体を供給し、不純物成分元素あるいは少なくとも不純物成分元素を含む化合物を吸着し、この不純物吸着層を拡散源として第一導電型の半導体領域に不純物を導入し、低

(3) シリコン結晶の(100)面上にMISFETを形成する場合には、イオン注入においてチャネリングという現象が起きやすく、微細なMISFETを作る上で必要な浅い不純物領域を形成するのが困難である。

(4) 上記チャネリングを防止するために、イオン注入の入射角を7°程度傾けることが提案されている。しかし、この方法を用いるとシャドウ効果により、ゲート電極近傍のソース及びドレイン領域の不純物分布に非対称性が現れMISFETの電流特性がゲート電極の向きにより異なるという不都合が生ずる。

(5) 配線電極とソース及びドレイン領域とのコンタクトをできるだけ低い抵抗で形成するためには、ソース及びドレイン領域の表面部分の不純物濃度を高くすることが必要であるが、イオン注入法では表面部分の不純物濃度のみを集中的に上げることは困難である。

以上のような欠点のため、均一な特性を有する微細な半導体装置を製造することが困難であった。

濃度の第1の不純物層をゲート電極によって分離された一対の半導体領域表面下に形成する第三工程が行なわれる。最後に、第1の不純物層の不純物濃度より濃度の高い第2の不純物層を前記第1の不純物層に隣接して形成する第四工程が行なわれ、半導体装置が製造される。

好ましくは第四工程が、第二導電型の不純物をイオン注入により導入して第2の不純物層を形成する工程である。あるいは第四工程が、第二導電型の不純物成分を有する気体を供給して不純物成分元素あるいは少なくとも不純物成分元素を含む化合物を吸着し、この不純物吸着層を拡散源として第1の不純物層に不純物を導入し、高濃度の第2の不純物層を形成する工程である。

第三工程と第四工程の間に、ゲート電極の側壁にスペーサを形成する工程を加えても良い。

さらに好ましくは、第三工程は、活性面に対して半導体成分を有する気体及び第二導電型の不純物成分を有する気体を供給して半導体成分及び不純物成分元素を含む吸着層を形成し、この吸着層

を拡散源として第一導電型の半導体領域に不純物を導入し、低温度の第1の不純物層を形成する工程である。あるいは、第三工程は、第二導電型の不純物成分を有する不純物層と半導体エピタキシャル層とから成る不純物吸着層を少なくとも1層以上有する吸着層を形成し、この吸着層を拡散源として第一導電型の半導体領域に不純物を導入し、低温度の第1の不純物層を形成する工程である。

本発明の他の側面によれば、第一導電型の半導体領域の表面にゲート絶縁膜、及びこのゲート絶縁膜上にゲート電極を形成する第一工程を行なった後、前記ゲート電極によって平面的に分離された半導体領域に不純物をイオン注入により導入して第1の不純物層を形成する第二工程が行なわれる。続いて、イオン注入された半導体領域表面の活性面を露出する第三工程を行なう。最後に、該活性面に対して第二導電型の不純物成分を有する気体を供給して不純物成分元素あるいは少なくとも不純物成分元素を含む化合物を吸着し、この不

純物吸着層を拡散源として第1の不純物層に不純物を導入し、高温度の第2の不純物層からなるソース領域及びドレイン領域を形成する第四工程を行ない半導体装置を製造する。

第三工程と第四工程の間に、ゲート電極の側壁にスペーサを形成する工程を加えても良い。

第四工程は、例えば活性面に対して半導体成分を有する気体及び第二導電型の不純物成分を有する気体を供給して半導体成分及び不純物成分元素を含む吸着層を形成し、この吸着層を拡散源として第1の不純物層に不純物を導入し、高温度の第2の不純物層を形成する工程である。第四工程は、あるいは第二導電型の不純物成分を有する不純物層と半導体エピタキシャル層とから成る不純物吸着層を少なくとも1層以上有する吸着層を形成し、この吸着層を拡散源として第1の不純物層に不純物を導入し、高温度の第2の不純物層を形成する工程である。

(作 用)

上記の不純物吸着法は、活性化した半導体表面

に不純物元素を含むガスあるいは不純物化合物ガスを供給すると、不純物元素あるいは不純物元素を含む化合物が、半導体表面に化学吸着する原理を利用している。従って吸着する不純物の量は半導体基板の温度及び不純物元素を含むガスの導入量により制御可能である。又、半導体表面にできた不純物吸着層を拡散源として拡散により不純物領域を形成するため、均一で浅いソース領域及びドレイン領域を容易に得ることができる。

(実 施 例)

(第1実施例)

以下に、本発明の半導体装置の製造方法の実施例を図面に基づいて説明する。第1図は、半導体基板としてN型のシリコン基板1を用いた場合についての本発明の第1の実施例である。LDD構造の高温度及び低温度不純物領域とともに不純物吸着法を用いて形成している。まず、第1図(a)のように、N型シリコン基板1の上にゲート酸化膜2を形成する。一般の実装回路の製造においてはこの工程の間に素子分離領域形成等の工程があ

るが、ここではその説明は省略する。次に第1図(b)のように、ゲート電極3を形成するとともに、ゲート電極3をマスクにして、あるいはゲート電極3を形成するために用いたホトレジストをマスクにしてゲート酸化膜2をエッチングにより除去してN型のシリコン基板1の表面を露出する。次に、第1図(c)に示すように、露出したN型シリコン基板1の表面にボロン化合物ガス11を導入するとボロン吸着層12が形成される。その後、700℃〜900℃の熱処理をすると第1図(d)に示すように浅いP⁺型ソース領域5及びP⁺型ドレイン領域6が形成される。次にこの構造の上から絶縁膜を増積しそれを異方性のエッチングにより除去すると第1図(e)に示したようにゲート電極3に沿ってスペーサ4が形成される。この後、高温度のボロン層をゲート電極3及びスペーサ4をマスクとして用い形成すれば、第1図(f)に示したような、P⁺型ソース領域7及びP⁺型ドレイン領域8を有するLDD構造のP型MISFETを作ることができる。このP⁺型ソース領域及びP⁺

型ドレイン領域はイオン注入法を用いて作ることもできるが、本実施例においては P^- 型ソース領域及び P^- 型ドレイン領域を形成する時に用いた不純物吸着法によって形成している。この不純物吸着法を用いた方がイオン注入を用いるよりも、浅くてかつ対称性に優れた P 型不純物を有するソース及びドレイン領域を形成することが可能となる。

以下、第2図～第4図を用いて不純物吸着法で作られた P 型不純物層の特徴を説明する。第2図に P 型不純物領域形成工程におけるプロセスフローチャートを示す。まず、700℃において真空度を数 μPa 以下まで下げ、その後800℃程度の雰囲気半導体基板をさらす。数分間の雰囲気安定化後、10 μPa 程度の圧力で水素を導入する。この水素によって、シリコン基板を露出させたエッチング工程後にその露出面に形成された約30Å以下の自然酸化膜が除去され、表面の清浄化がなされる。この結果、活性化されたシリコン原子が表面に露出する。次に吸着層形成のための温度ま

と水素ガスの導入とを同時に行いボロンとシリコンの吸着層を連続して設けてもよい。又、第1図及び第2図に示す実施例においてはボロン吸着層形成直後にアニールの工程を入れているが、このアニールの工程はボロン吸着層の形成後であればいつ行ってもよいことは言うまでもない。従って第1図(d)で行っている P^- 型ソース及びドレイン領域形成のアニールは第1図(f)の P^- ソース及びドレイン領域形成時に行うアニールで兼用することも可能である。またアニール方法として、ランプアニール又はビームアニールを用いる事が好ましい。

本発明の第1の実施例として、ボロンを不純物として導入した P 型MISFETの場合について説明した。ボロンの場合、 N 型のヒ素やリンに比べ拡散係数が多いので、特に本発明による利点が多い。しかし、アンチモンなどの N 型の不純物をソース及びドレイン領域に用いる N 型MISFETに適用できることは言うまでもない。また、本発明の半導体装置の製造方法は、半導体基板上

で露出し、ジボランガス(B_2H_6)のようなボロンを含む化合物ガスを導入するとシリコン基板1の露出面にボロン吸着層が形成される。このボロン吸着層は主としてシリコン基板の露出面及び、ポリシリコン等でできたゲート電極に形成され、酸化膜等の絶縁膜上には形成されない。第3図は、第2図のプロセスフローによって形成されたボロン不純物濃度の表面からの分布の一例である。極めて高い表面不純物濃度において、容易に700Å以下の浅い不純物領域が形成できることがわかる。第4図は、第1図に示す工程においてジボラン導入圧力をパラメータとした場合のボロンのピーク濃度のジボラン導入時間依存性を示している。不純物吸着法はジボランの導入圧力及び導入時間により、低濃度から高濃度の不純物領域まで制御性よく作ることができることを示している。しかし、さらに高濃度の不純物領域を形成したい時には、第2図のジボラン導入とアニールを数回繰り返す行くと良い。ジボランガスと、半導体成分を含むジクロルシラン(SiH_2Cl_2)ガス

ばかりでなく、半導体基板表面近傍に設けられたウェル領域でのMISFETの形成や、絶縁膜上に形成されたシリコン膜にMISFETを形成する場合においても有効であることは言うまでもない。又、不純物層と半導体エピタキシャル層とからなる不純物吸着層を少なくとも一層以上有する吸着層を形成し、この吸着層を拡散源として固相拡散を行ない不純物領域を形成してもよい。

例えば、基板表面温度を825℃に保持しながらジボランガスを圧力 $1 \times 10^{-2} \text{Pa}$ 程度で100秒間導入することで、 N 型シリコン基板表面にボロン吸着層を形成する。次に基板表面温度を700℃～900℃に保持しながら SiH_2Cl_2 や SiH_4 等のシリコンを含む化合物ガスを導入してボロン吸着層の上にシリコンエピタキシャル層を形成する。尚、ジクロルシラン等の塩素系ガス又は、 SiH_4 と HCl を混合して用いればシリコン上にのみ選択的にシリコンエピタキシャル層を形成できる。シリコン基板表面温度を825℃に保持しながら、ジクロルシランガス(SiH_2Cl_2)

を圧力 1.8×10^{-8} Pa で13分間導入し、膜厚約50Åのシリコンエピタキシャル層を形成する。尚、シリコンエピタキシャル層の膜厚は、シリコンエピタキシャル層がゲート電極と電気的にショートしない膜厚にする必要があり、少なくともゲート酸化膜より薄いことが望ましい。以上のようにボロン吸着層とシリコンエピタキシャル層を重ねると、ボロンがエピタキシャル層の中に取り込まれて活性化し易くなる。

(第2実施例)

第5図(a)~(g)は、半導体領域として、N型シリコン基板を用いた場合についての、本発明の第2実施例である。LDD構造において、低濃度不純物領域を不純物吸着法により形成し、高濃度不純物領域をイオン注入で形成する。この方法によれば、ソース及びドレインの低濃度領域を非常に浅く、かつ、ゲート電極直下へのまわり込みを少なく形成することが可能である。まず、第5図(a)のように、N型シリコン基板21の上にゲート酸化膜22を形成する。次に、ゲート酸化膜22の上

にゲート電極23を第5図(b)のように形成する。次に、第5図(c)のようにゲート電極23をマスクにしてゲート酸化膜22を除去して、ソース形成領域及びドレイン形成領域の表面となるN型シリコン基板21の表面部分を露出する。次に、第5図(d)に示すように、露出したN型シリコン基板21の表面にボロン吸着層を形成し、700℃~950℃の熱処理をすることにより、第5図(e)のようなソース及びドレインの低濃度領域25、26を形成する。次に、ゲート電極23の周囲に SiO_2 膜28を第5図(f)のように設ける。次に、周囲に SiO_2 膜26を設けたゲート電極23をマスクとしてイオン注入によりソース及びドレインの高濃度領域28、27を第5図(g)のように設けたLDD構造P型MOS(Metal-Oxide-Semiconductor)トランジスタを作ることができる。

第6図にソース及びドレインの低濃度領域を形成する不純物ドーピング層形成工程におけるプロセスフローを示す。まず、真空度が 1×10^{-4} Pa以下の850℃程度の雰囲気中に半導体基板をさらす。

次に、数分間の雰囲気安定化後、水を導入する。この水素によってシリコン基板21に形成されていた約30Å以下の自然酸化膜がリムーブされ、表面の清浄化がなされる。この結果、活性化されたシリコン原子が表面に露出する。次に、ジボランガス(B_2H_6)のようなボロンを含む化合物を約 1×10^{-2} Pa程度導入し、シリコン基板21の表面にボロン吸着層を形成する。次に、熱処理によってボロンを基板内部に拡散して活性化することにより、ソース及びドレインの低濃度領域を形成できる。

本発明の第2の実施例に示すLDD構造MOSトランジスタの製造方法によれば、ソース及びドレインの低濃度領域は、シリコン基板21の表面から浅く、また、ゲート電極の下にまわりこまないため、同じゲート長のイオン注入法に比べて、ソースとドレインの実効的な間隔が狭くならない。即ち、微細なLDD構造MOSトランジスタを作ることができる。

本発明の第2の実施例として、ボロンを不純物

として導入したPチャネルMOSトランジスタの場合について説明した。ボロンの場合、N型のヒ素に比べ拡散係数が大きいので、特に、本発明によるメリットが大きい。しかし、アンチモンなどのN型の不純物をソース及びドレイン領域として形成するNチャネルMOSトランジスタに適用できることは言うまでもない。また、半導体基板としてはシリコンだけでなくゲルマニウムでもよい。また、ゲート絶縁膜としてはゲート酸化膜に限定する必要はない。

(第3実施例)

次に、本発明の半導体装置の製造方法の第3の実施例を第7図に基づいて説明する。この実施例ではLDD構造において、MISFETの通り不純物濃度のソース領域及びドレイン領域とを不純物吸着法により形成し、非常に高濃度でかつ浅い不純物領域を得ることを目的としている。上記の不純物吸着法は、活性化した半導体表面に不純物元素を含むガスあるいは化合物ガスを供給すると、不純物元素あるいは不純物元素を含む化合物が、

半導体表面に化学吸着する原理を利用している。従って吸着する不純物の量は半導体基板の温度及び不純物元素を含むガスの導入量により制御可能である。又、半導体表面にできた不純物吸着層を拡散源として拡散により不純物領域を形成するため、半導体表面の極く近傍で不純物濃度の高いソース及びドレイン領域を容易に得ることができる。

まず、第7図(a)のように、N型シリコン基板31の上にゲート酸化膜32を形成する。一般の集積回路の製造においてはこの工程の前に分子分離領域形成等の工程があるが、ここではその説明は省略する。次にゲート酸化膜32の上にゲート電極33を第7図(b)のように形成する。次に第7図(c)のようにゲート電極33をマスクにして、あるいはゲート電極33を形成するために用いたホトレジストをマスクにしてボロンをイオン注入すると、N型シリコン基板の表面近傍にボロン注入層44が形成される。次にこの構造の上から絶縁膜を増積し、それを異方性のエッチングにより除去すると

第7図(d)に示したように、ゲート電極33の側壁に沿ってスペーサ34が形成される。このとき低濃度のソース領域35とドレイン領域36が形成されている。ここまでは従来のLDD構造のMISFETの製造方法と全く同じである。次に第7図(e)に示すように、露出したN型シリコン基板31の表面をボロン化合物ガス41中にさらすと、ボロン吸着層42が形成される。このプロセスについての詳細は第6図の場合と同様である。その後、700℃から900℃の熱処理をすると、第7図(f)に示すように浸みて、かつ表面部分のボロン濃度が高いP⁺型のソース領域37及びドレイン領域38が形成される。

(第4実施例)

最後に、本発明の半導体装置の製造方法の第4の実施例を第8図に基づいて説明する。この実施例はDDD構造において、MISFETの濃い不純物濃度のソース領域及びドレイン領域とを不純物吸着法により形成し、非常に高濃度でかつ浅い不純物領域を得る事を目的としている。まず、

第8図(a)のように、N型シリコン基板51の上にゲート酸化膜52を形成する。一般の集積回路の製造においてはこの工程の前に分子分離領域形成等の工程があるが、ここではその説明は省略する。次にゲート酸化膜52の上にゲート電極53を第8図(b)のように形成する。次に第8図(c)のようにゲート電極53をマスクにして、あるいはゲート電極53を形成するために用いたホトレジストをマスクにしてボロン53をイオン注入すると、N型シリコン基板の表面近傍にボロン注入層54が形成される。

この後、ボロン注入層54の活性化と拡散のための熱処理をすると第8図(d)に示すようなP⁺型のソース領域55及びドレイン領域56が形成される。ここまでは従来のDDD構造のMISFETの製造方法と同じである。次に第8図(e)に示すようにソース領域55及びドレイン領域56上に残っていた絶縁膜をエッチングにより除去しシリコン基板表面を露出させ、これをボロン化合物ガス51中にさらすと、露出したシリコン基板表面にボロン吸

着層が形成される。このプロセスの詳細は第6図に示す場合と同様である。その後、700℃～900℃の熱処理をすると第8図(f)に示すように浸みてかつ表面近傍のボロン濃度が高いP⁺型のソース領域57及びドレイン領域58が形成される。

(発明の効果)

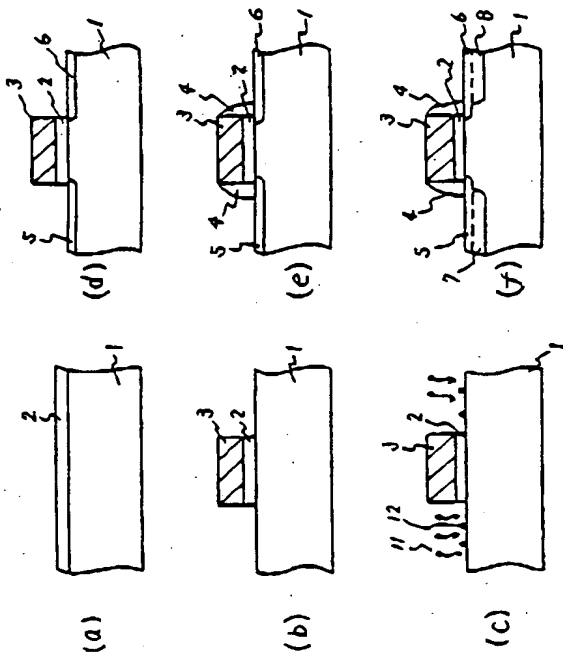
本発明は、以上説明したようにLDD型又はDDD型のMISFETのソース領域及びドレイン領域形成のために不純物吸着法を用いることにより、均一性がよくかつ浅い不純物層を得ることができる。従って、本発明の半導体装置の製造方法によれば、高速で、かつ、微細の半導体装置を達成できる効果がある。

4. 図面の簡単な説明

第1図(a)から(f)は、本発明の半導体装置の製造方法の第1の実施例を示した工程断面図であり、第2図は第1の実施例における不純物吸着工程のプロセスフローチャートであり、第3図は第2図のプロセスフローに従って形成された不純物濃度の半導体基板表面からのプロファイルであ

り、第4図は第2図に示すプロセスフローにおいて B_2H_6 導入圧力をパラメータとした場合のボロンピーク温度の B_2H_6 導入時間依存特性図である。第5図(a)~(g)は本発明のLDD構造MISFETの製造方法の第2の実施例を示した工程断面図であり、第6図は第2の実施例における不純物ドーピング層形成工程のプロセスフロー図である。第7図(a)から(f)は本発明の半導体装置の製造方法の第3の実施例を示した工程断面図である。第8図(a)から(f)は、本発明の半導体装置の製造方法の第4の実施例を示した工程断面図である。第9図(a)~(f)は従来の半導体装置の製造方法を示した工程断面図であり、第10図(a)~(f)は他の従来の半導体装置の製造方法を示した工程断面図である。

- 1…N型シリコン基板 2…ゲート酸化膜
3…ゲート電極 4…スペーサ
5…P⁺型ソース領域 6…P⁺型ドレイン領域
7…P⁺型ソース領域 8…P⁺型ドレイン領域
11…ボロン化合物ガス (B_2H_6)

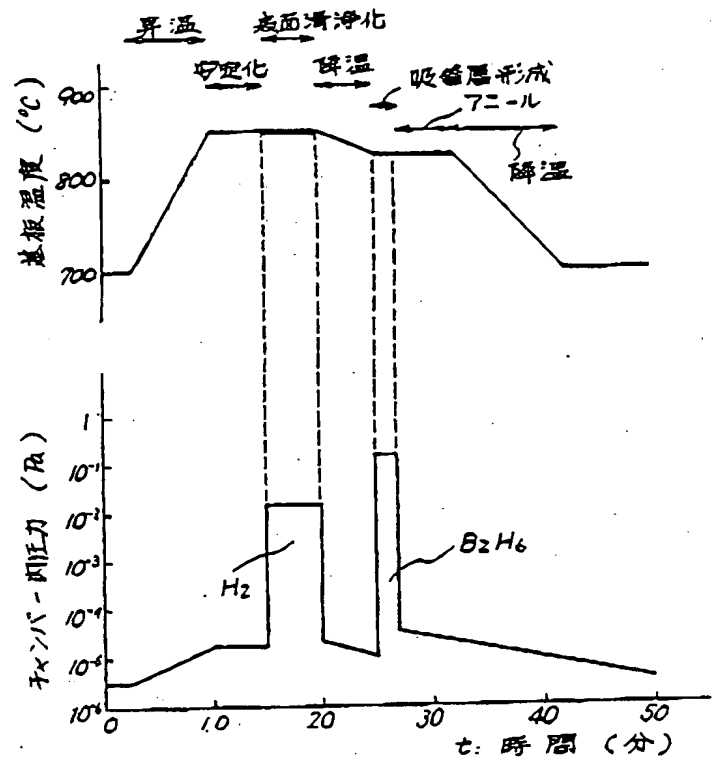


第1図

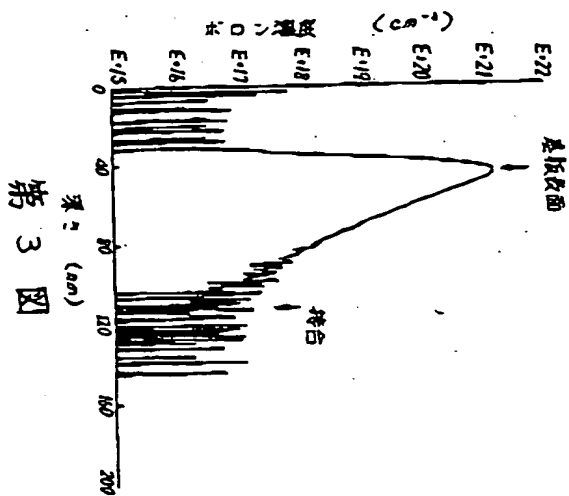
12…ボロン吸着層

出 願 人 セイコー電子工業株式会社

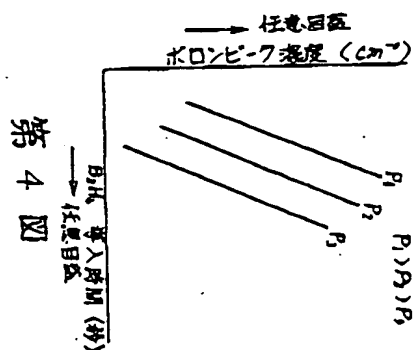
代 理 人 弁 理 士 林 敬 之 助



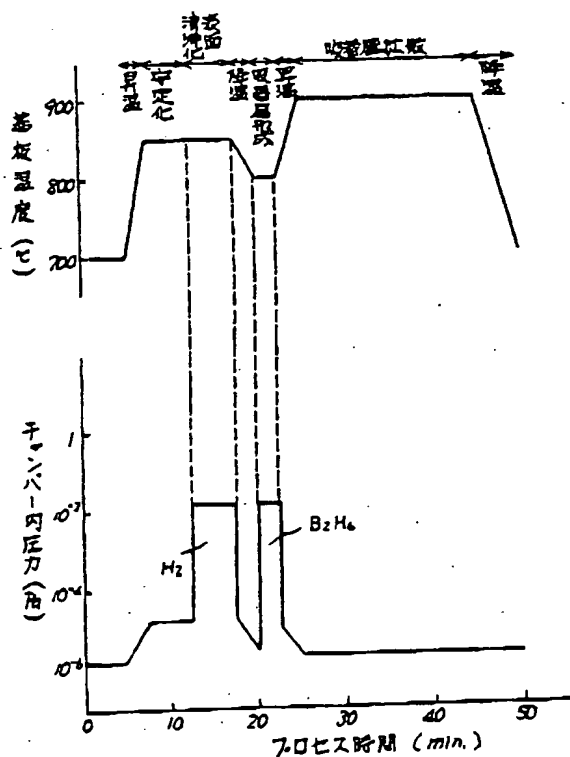
第2図



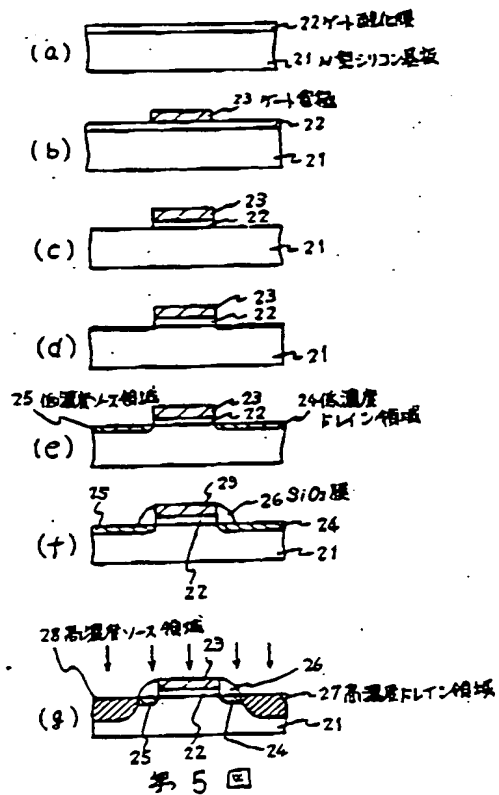
第3図



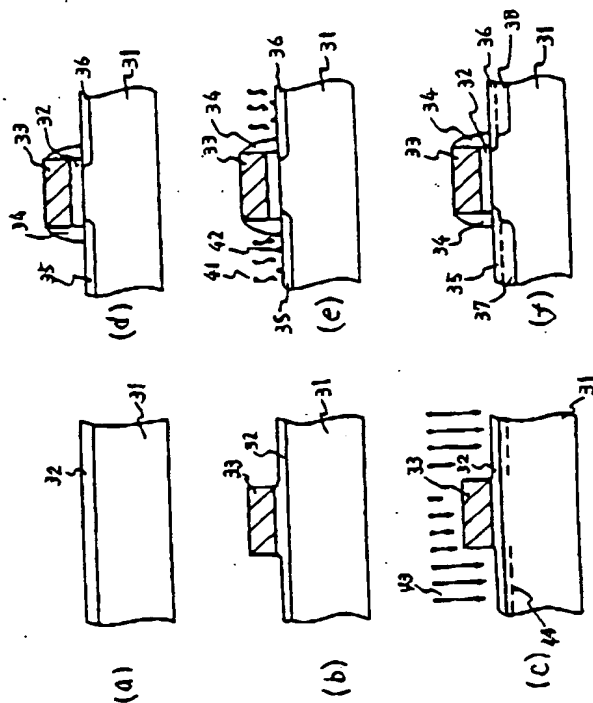
第4図



第5図

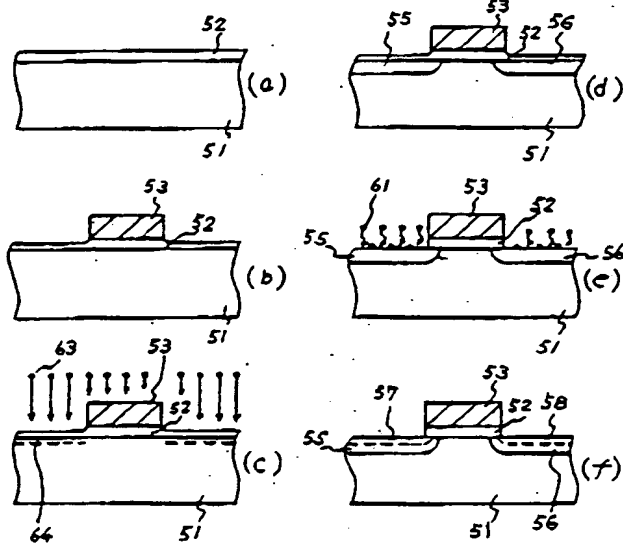


第6図

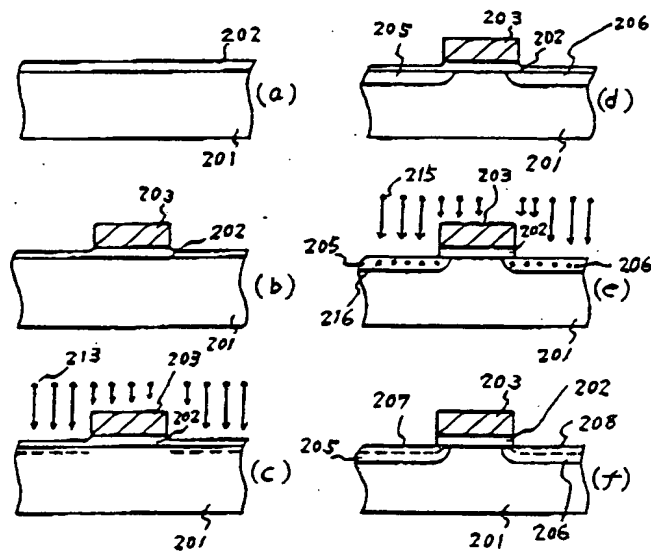
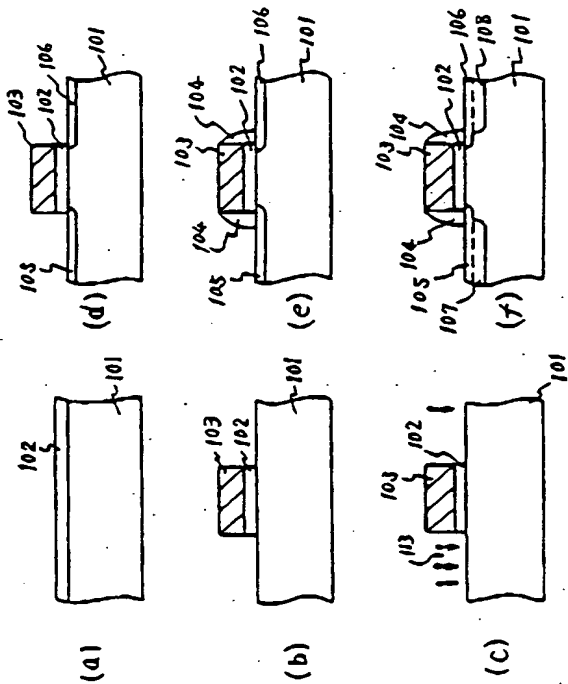


第7図

第 9 図



第 8 図



第 10 図

第1頁の続き

⑥Int. Cl.:

H 01 L 21/205
21/225
21/265
29/784

識別記号

D

庁内整理番号

7739-5F
2104-5F

7738-5F H 01 L 21/265

L

優先権主張

②平1(1989)8月18日③日本(JP)④特願 平1-213183
②平1(1989)9月6日③日本(JP)④特願 平1-231278
②平1(1989)10月25日③日本(JP)④特願 平1-277618

手続補正書(自発)

平成2年9月19日

特許庁長官 殿

1. 事件の表示

平成2年特許第213002号

2. 発明の名称

半導体装置の製造方法

3. 特許出願人

東京都江東区亀戸6丁目31番1号

(232) セイコー電子工業株式会社

代表取締役 原 隆之助

4. 代理人

〒270 千葉県松戸市千駄堀1493

(9628) 弁理士 林 敏之助

連絡先 0473-91-2135 担当 星谷川

5. 補正の対象

図面(第9図(b), (c)・第10図(e), (f))

6. 補正の内容

(1) 第9図(b), (c)及び第10図(e), (f)を別紙のとおり補正します。

